

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
11 DE 3744128 A1

21 Aktenzeichen: P 37 44 128.0
22 Anmeldetag: 24. 12. 87
43 Offenlegungstag: 13. 7. 89

51 Int. Cl. 4:
G 06 F 13/28
G 11 C 13/08
// G 01 J 3/06

DE 3744128 A1

71 Anmelder:
Heering, W., Prof. Dr., 7513 Stutensee, DE;
Brandenbusch, M., Dipl.-Phys., 7500 Karlsruhe, DE

74 Vertreter:
Pfeifer, H., Dipl.-Phys. Dr.rer.nat., Pat.-Anw., 7500
Karlsruhe

72 Erfinder:
Brandenbusch, Michael, 7500 Karlsruhe, DE;
Heering, Wolfgang, 7513 Stutensee, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren und Schaltungsanordnung zur programmierten Ansteuerung von CCD- und Photodioden-Matrixarrays

Mit dem Verfahren und der Schaltungsanordnung sollen Halbleiter-Bildsensoren schnell durch ein Programm angesteuert werden, um damit nur die interessierenden Teile eines Bildes aufzunehmen. Das Verfahren erfordert nicht den sehr großen Speicher speicherprogrammierter Steuerungen und erlaubt eine wesentlich höhere Geschwindigkeit der Steuerwörterzeugung als reine prozessorgeführte Steuerungen.

Mit dem neuen Verfahren und der zugehörigen Schaltungsanordnung werden schnell Sequenzen digitaler Steuerwörter erzeugt, indem ein DMA-Controller selbständig einen Kommandoblock nach dem anderen in seine Register lädt und nach jeder Eigenprogrammierung ein Steuerwort so oft an den Bildsensor aussendet, wie es der momentan geladene Programmteil bestimmt.

Programmierte Ansteuerung von Halbleiter-Bildsensoren.

DE 3744128 A1

Beschreibung

Verfahren und Anordnung zur schnellen speicherprogrammierten digitalen Steuerung von CCD- und Photodioden-Matrixarrays.

Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur schnellen programmierten Generierung von digitalen Steuerworten und Ansteuerung von CCD- und Photodioden-Matrixarrays (Halbleiterbildsensoren/ Halbleiterkameras).

Es gibt verschiedene Möglichkeiten diese digitalen Steuersignale zu erzeugen. Die erste Möglichkeit ist der Aufbau von Steuerwerken, die durch Zustandsabfrage des Zielsystems, z.B. eines Bildsensors, mit dem Zustand starr verknüpfte Steuersignale erzeugen. Eine zweite Möglichkeit ist die speicherprogrammierbare Steuerung. Hierbei wird jedes einzelne Steuerwort des Steuerablaufs in einem Speicher abgelegt. Die Ansteuerung des Zielsystems, geschieht dadurch, daß ein DMA-Controller oder Adresszähler den Speicher adressiert und dadurch die Steuerworte über dem Datenbus am Zielsystem anliegen. Ein drittes Verfahren besteht darin, daß die Steuerwortfolge in Form von Algorithmen auf einem Prozessor programmiert und von diesem direkt ausgegeben wird.

Die Nachteile von Steuerwerken sind ihr hoher Hardwareaufwand und die sehr geringe Flexibilität. Speicherprogrammierbare Steuerungen erfordern einen sehr großen Speicher. Zudem sind extern getriggerte Steuerprogrammsprünge ohne zeitlichen Verzug nicht ausführbar. Der Nachteil einer reinen Prozessorsteuerung ist die relativ geringe Geschwindigkeit, mit der die Steuerworte erzeugt werden. Eine Möglichkeit dies auszugleichen, sind parallele Prozessorstrukturen, die wiederum sehr aufwendig sind.

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleitermatrixarray so anzusteuern, daß gezielt ausgewählte Spalten und/oder Zeilen eines Bildes erfaßt werden. Es sollen also nicht die Videosignale zu allen Bildpunkten von der Halbleiterkamera ausgegeben und anschließend aus dem Gesamtbild die gewünschten Informationen extrahiert werden, sondern nur vorgewählte Bildbereiche mit dem Sensor erfaßt werden. Dies ist z.B. hilfreich bei der Spektroskopie mit Halbleiter-Bildsensoren, wenn nur bestimmte Spektralbereiche in sehr kurzer Zeit aufzunehmen sind. Es sollen die Vorteile einer reinen speicherprogrammierbaren Steuerung mit den Vorteilen einer prozessorgeführten Steuerung verbunden werden, ohne die Nachteile beider Methoden in Kauf zu nehmen.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß digitale Steuersignale für den Halbleiter-Bildsensor programmiert generiert werden indem ein oder mehrere DMA-Controller, der/ die eine Registerstruktur nach Fig. 2. aufweist und so programmiert wird, daß ein Transfer von Daten entsprechend Fig. 3 möglich ist.

Fig. 1. zeigt die Busstruktur der Anordnung. Eine CPU (1) programmiert über die Busschnittstellen (5)/(6) und dem Systembus (8) die Hauptregister (10) des DMA-Controllers (2) und lädt Kanalprogramme (12) bestehend aus einer Reihe von Kanalblöcken (13) in den Speicher (3). Anschließend überträgt der DMAC selbstständig den ersten Kommandoblock — CCB 1 (13) — aus dem Speicher (3) in seine Kanalregister (11). Fig. 3 zeigt das Prinzip der Datenübertragung zwischen Speicher (3), DMAC (2) und Bildsensor (4). Eines der Kanalregister (14) enthält das Kamera-Steuerwort (15), ein anderes Register bestimmt die Anzahl n , mit der das

Steuerwort wiederholt übertragen wird. Zur Anpassung der Steuersignale (15) an die jeweiligen Timinganforderungen des verwendeten Halbleiter-Arrays (4) muß dem Array ein geeignetes Schaltwerk (16) vorgeschaltet werden.

Gestartet wird der Steuerworttransfer durch ein externes Synchronisationssignal. Wenn der interne Zähler des DMAC die programmierte Anzahl von Transfers erreicht hat, wird der nächste Kommandoblock aus dem Speicher in die Kanalregister (11) geladen — CCB 2 bis CCB N (13). Während dieser Phase verharret der Sensor (4) in dem Zustand, der von dem letzten Steuerwort (15) gesetzt wurde. Durch die Kettung von Kommandoblocken können komplexe Ablaufprogramme (12) mit Sprüngen und Schleifen erstellt werden.

Die Synchronisation zwischen DMAC und Sensor wird erreicht durch Verwendung des DMA-Transfersignals (17) als Sensortakt.

Fig. 4 zeigt am Beispiel des Bildsensors MC 9256 der Firma Reticon das Zeitdiagramm der Eingangs- und Ausgangssignale beim gezielten Überspringen von nicht auszulesenden Bildsensorzeilen. Der Masterclock (MCLK) ist das DMA-Transfersignal (17), durch das DMAC und Kamera miteinander synchronisiert werden. Es ist inaktiv, wenn Kommandoblocke transferiert werden (CBTR-Phase). LTRD (Line Transfer and Row Clock Disconnect), RCLK (Row Clock) und LT (Line Transfer) sind Steuerbits des Steuerwortes (15). Ist LTRD aktiv (= 1), so wirken die Steuersignale MCLK, RCLK und LT direkt auf den Sensor (Modus IV). RCLK betätigt das interne Schieberegister und wählt eine bestimmte Sensorzeile an. Die übersprungenen Zeilen werden dabei nicht ausgelesen. Wenn die zu erfassende Kamerazeile (Zeile $N+M$) adressiert ist, wird mit einem neuen Steuerwort LT aktiviert. Damit wird eine komplette Zeile in ein Ausleseregister übertragen. Anschließend werden mit MCLK die Videosignale der Zeile seriell ausgelesen.

Das Verfahren und die Schaltungsanordnung bilden eine digitale Steuerung, die in Verbindung mit Halbleiter-Bildsensoren Steuerungen nach anderen Verfahren überlegen ist. Hiermit können komplexe und lange Steuerwortfolgen generiert werden. Dafür wird wesentlich weniger Speicherplatz benötigt als bei den speicherprogrammierbaren Steuerungen. Die Geschwindigkeit der Steuersignalerzeugung ist aber hier vergleichbar mit deren hoher Ausgabegeschwindigkeit. Auch kann die Steuerung von einem externen Rechner einfach programmiert und durch Ereignisse von außen zu bestimmten Zeiten getriggert werden. Die erfindungsgemäße Anordnung ist mit relativ geringem technischen Aufwand realisierbar.

Patentansprüche

1. Verfahren und Anordnung zur programmierten Ansteuerung von CCD- und Photodioden-Matrixarrays, dadurch gekennzeichnet, daß ein oder mehrere DMA-Controller Folgen digitaler Steuerworte generieren.
2. Verfahren und Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß der einzelne DMA-Controller den Inhalt eines oder mehrerer interner Register nacheinander ausgibt, wobei diese Registerinhalte die zu generierenden Steuerworte sind.
3. Verfahren und Anordnung nach Anspruch 1 und 2, dadurch gekennzeichnet daß, ein Registerinhalt mehrfach nacheinander ausgegeben werden kann,

wobei die Anzahl der Ausgabeoperationen programmierbar ist.

4. Verfahren und Anordnung nach Anspruch 1 bis 3, dadurch gekennzeichnet, daß der oder die DMA-Controller bei der Ausgabe des Steuerwortes ein zu dieser Ausgabe synchrones Steuersignal generiert. 5

5. Verfahren und Anordnung nach Anspruch 1 bis 4, dadurch gekennzeichnet, daß die Steuerworte durch eine dem DMA-Controller nachgeschaltete Logik aufbereitet und mit dem Synchronisationssignal verknüpft werden. 10

6. Verfahren und Anordnung nach Anspruch 1 bis 3, dadurch gekennzeichnet, daß der DMA-Controller mit einem oder mehreren Speichern verbunden ist und seine Registerinhalte selbständig aus diesen Speichern heraus lädt. 15

7. Verfahren und Anordnung nach Anspruch 1 bis 6, dadurch gekennzeichnet, daß Schnittstellen bestehen zwischen DMA-Controller, Speicher, Halbleiter-Array und externem Rechner die ein selektives Sperren und Durchschalten von Signalen in verschiedenen Betriebsphasen ermöglichen. 20

8. Verfahren nach Anspruch 1 bis 7, dadurch gekennzeichnet, daß die Speicher und die DMA-Controller durch einen externen Rechner programmiert werden. 25

30

35

40

45

50

55

60

65

— Leerseite —

THIS PAGE BLANK (USPTO)

3744128

Nummer:
Int. Cl. 4:
Anmeldetag:
Offenlegungstag:

37 44 128
G 06 F 13/28
24. Dezember 1987
13. Juli 1989

7

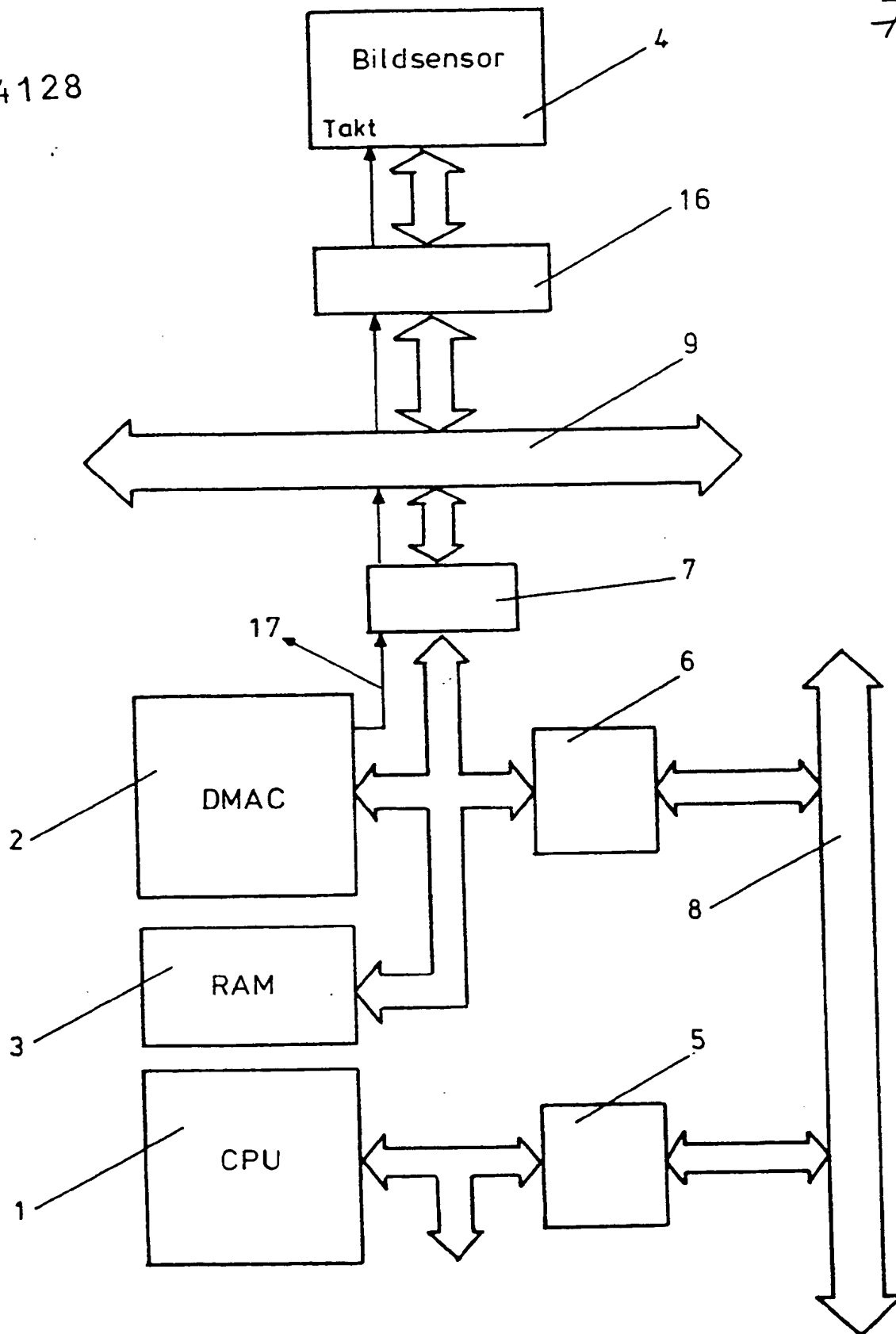


Fig. 1

908 828/181

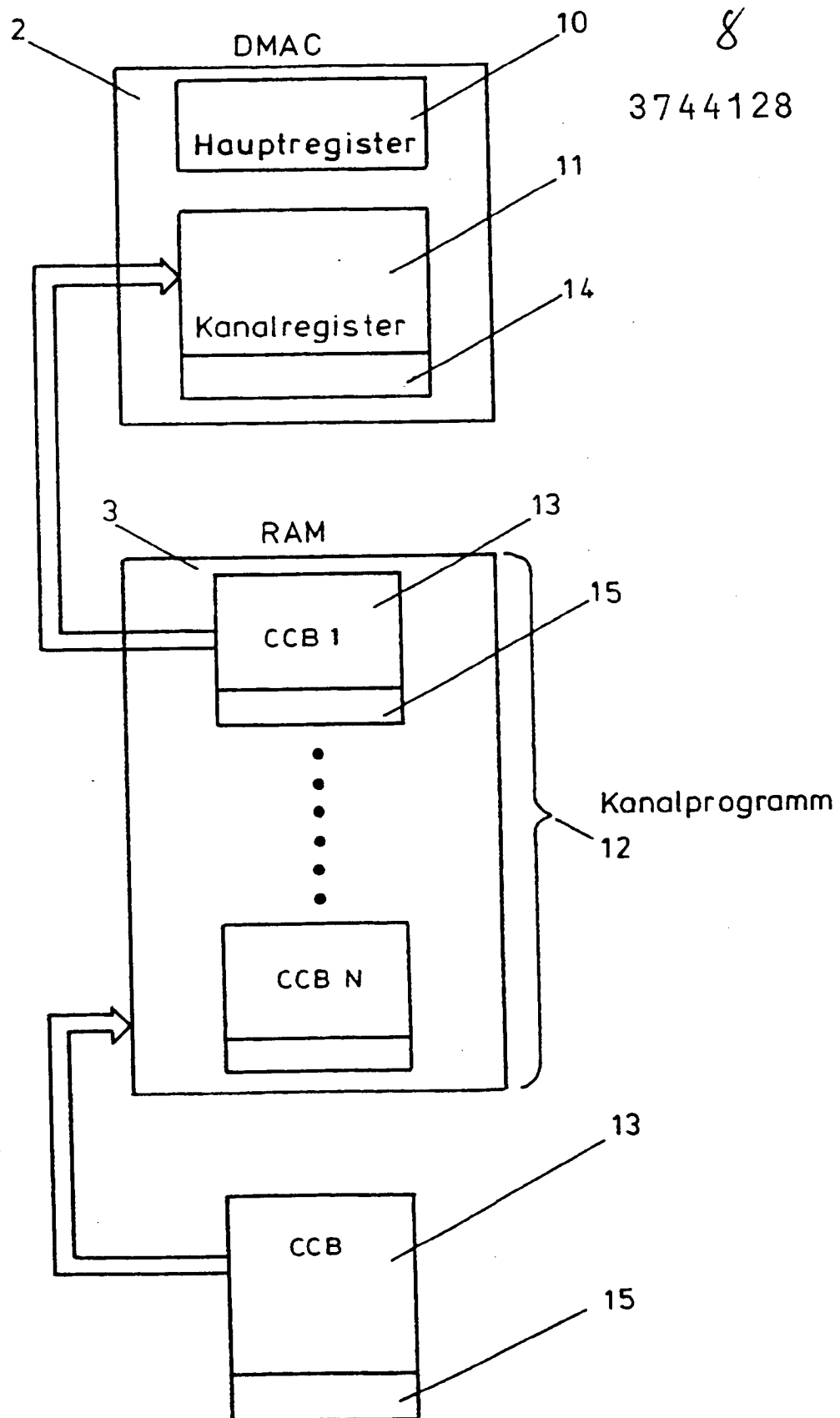


Fig. 2

9

3744128

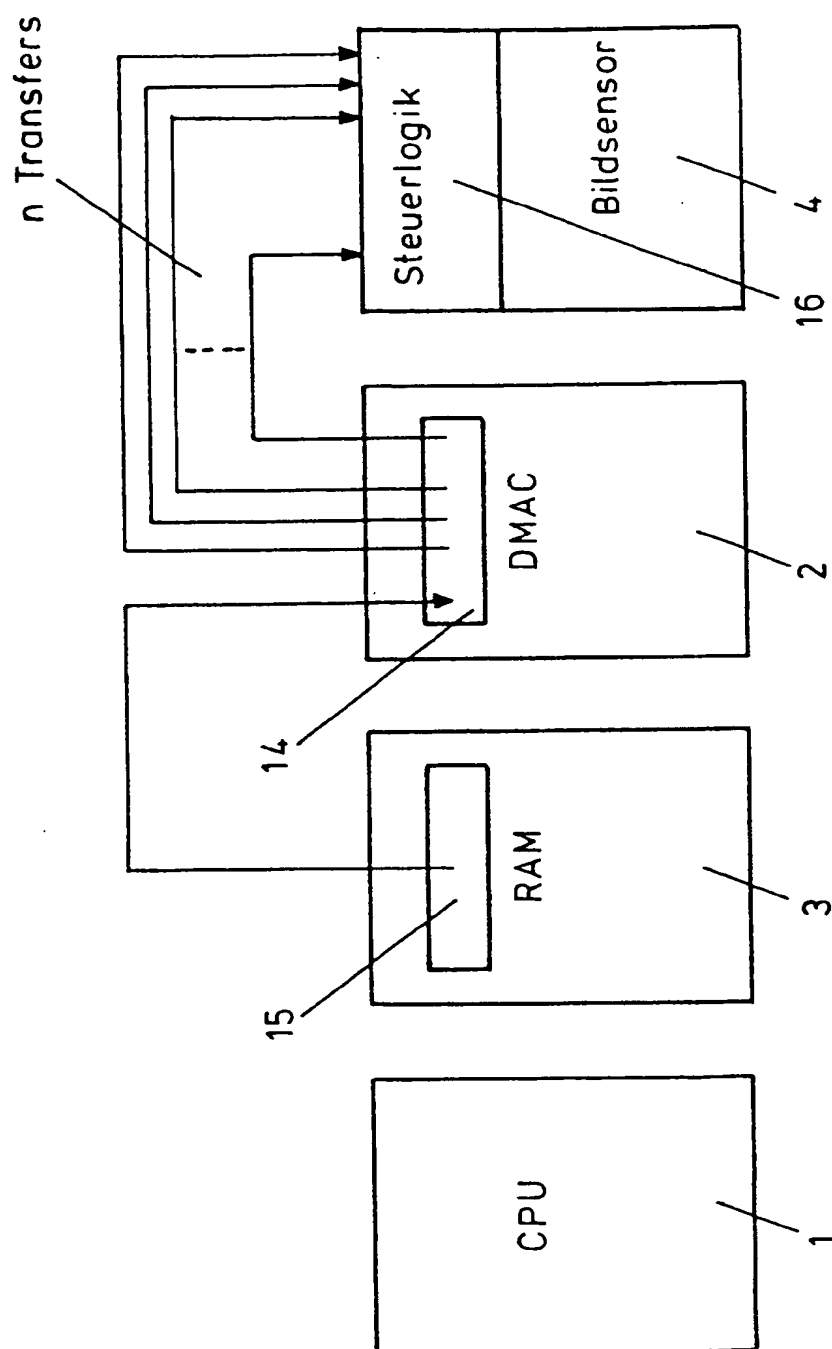
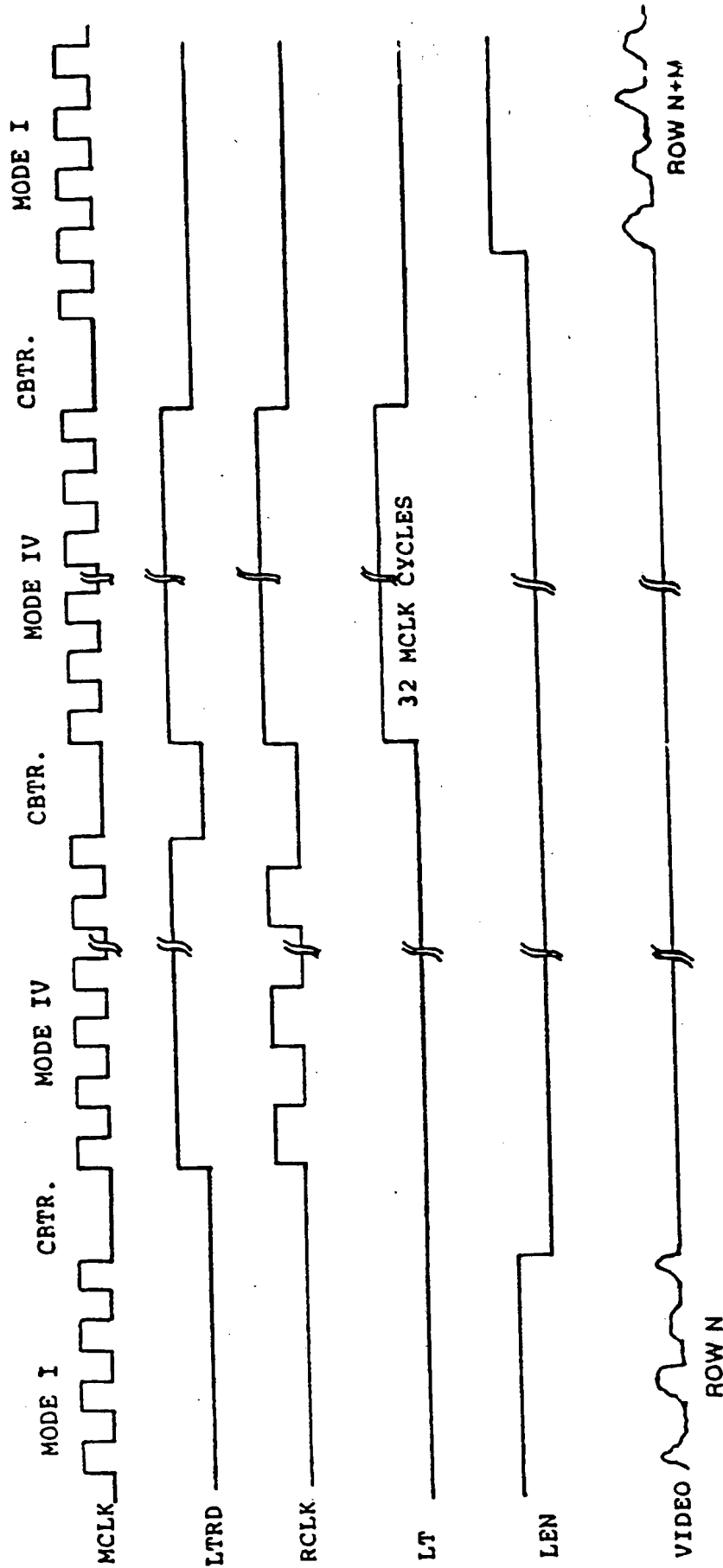


Fig. 3

3744128

10*

Fig. 4



CBTR: Kommandoblock Transfer